

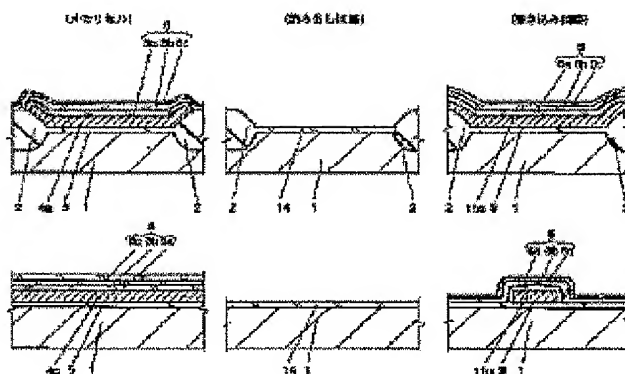
NON-VOLATILE SEMICONDUCTOR MEMORY AND MANUFACTURE THEREOF

Patent number: JP9107086
Publication date: 1997-04-22
Inventor: SHIBA KAZUYOSHI
Applicant: HITACHI LTD
Classification:
- international: **H01L21/316; H01L21/318; H01L21/8247; H01L27/115; H01L29/788; H01L29/792; H01L21/02; H01L21/70; H01L27/115; H01L29/66; (IPC1-7): H01L27/115; H01L21/316; H01L21/318; H01L21/8247; H01L29/788; H01L29/792**
- european: H01L21/8247M2P1G
Application number: JP19950262739 19951011
Priority number(s): JP19950262739 19951011

Report a data error here

Abstract of JP9107086

PROBLEM TO BE SOLVED: To obtain a thick intergate-interlayer film by forming an upper layer silicon oxide film of the intergate-interlayer film and a gate insulating film of an MISFET for a peripheral circuit in the same process in different thickness utilizing the difference of growth of a silicon oxide film depending on the foundation. **SOLUTION:** The thickness of a silicon oxide film 6c formed on a silicon nitride film 6b through thermal oxidation in a dry or a wet atmosphere scarcely changes. Thus, an insulating film (ONO film), consisting of a silicon oxide film 6a, the silicon nitride film 6b, and the silicon oxide film 6c formed in this order from the bottom, can be formed as an intergate-interlayer 6 of a memory cell MC in a state wherein the silicon oxide film 6c is made sufficiently thin, and at the same time, a gate insulating film of s MOSFETQr for use in a read-out circuit can be formed in the same process with the thickness thereof being made different from that of the silicon oxide film 6c. As a result, respective thickness with optimum values can be achieved without increasing the processes.



Family list**1** family member for: **JP9107086**

Derived from 1 application

**1 NON-VOLATILE SEMICONDUCTOR MEMORY AND MANUFACTURE
THEREOF****Inventor:** SHIBA KAZUYOSHI**Applicant:** HITACHI LTD**EC:** H01L21/8247M2P1G**IPC:** H01L21/316; H01L21/318; H01L21/8247
(+13)**Publication info:** JP9107086 A - 1997-04-22

Data supplied from the **esp@cenet** database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-107086

(43) 公開日 平成9年(1997)4月22日

(51) Int. Cl. ⁶	識別記号	F I
H01L 27/115		H01L 27/10 434
21/316		21/316 S
21/318		21/318 C
21/8247		29/78 371
29/788		

審査請求 未請求 請求項の数 7 O L (全19頁) 最終頁に続く

(21) 出願番号 特願平7-262739

(22) 出願日 平成7年(1995)10月11日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 志波 和佳

東京都小平市上水本町5丁目20番1号 株式会社日立製作所半導体事業部内

(74) 代理人 弁理士 秋田 収喜

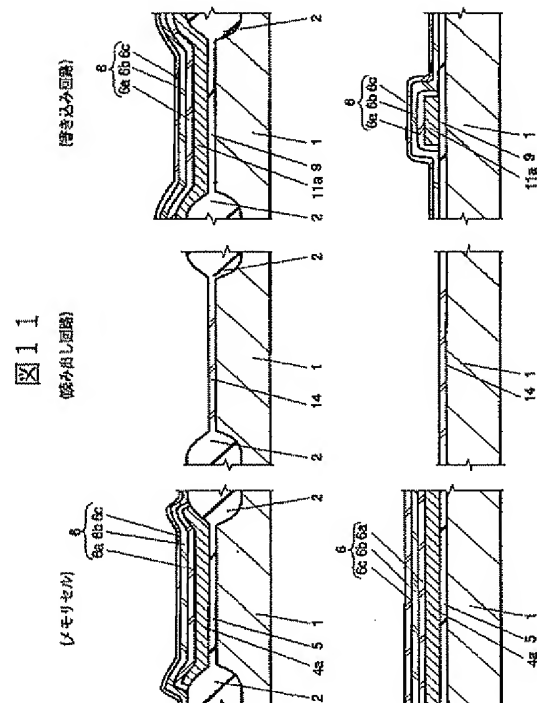
(54) 【発明の名称】 不揮発性半導体記憶装置及びその製造方法

(57) 【要約】

【課題】 フローティングゲート電極を有する不揮発性半導体記憶装置のフローティングゲート電極とコントロールゲート電極との間のゲート間層間膜を薄くすることによって、特性を改善する。ゲート間層間膜と読み出し回路用M I S F E Tのゲート絶縁膜を夫々最適の厚さに同一の工程にて形成する。

【解決手段】 ゲート間層間膜を三層のONO膜とし、下地による酸化珪素膜の成長の差を利用して、ゲート間層間膜と周辺回路用M I S F E Tのゲート絶縁膜を夫々膜厚を変えて最適の厚さに同一の工程にて形成する。

【効果】 ゲート間層間膜を薄くすることができるので、半導体記憶装置の特性が向上する。メモリセルMCのサイズを縮小することが可能となる。



【特許請求の範囲】

【請求項1】 フローティングゲート電極に電子を保持することによって情報を記憶するメモリセルと周辺回路用MISFETとを有する不揮発性半導体記憶装置において、

メモリセルのフローティングゲート電極とコントロールゲート電極との間のゲート間層間膜を酸化珪素膜、窒化珪素膜及び酸化珪素膜を順次積層した積層膜とし、上層の酸化珪素膜を実質的にCVDによって形成された酸化珪素膜とし、

周辺回路用MISFETのゲート絶縁膜をCVD及び熱酸化又は熱酸化及びCVDによって形成して前記上層の酸化珪素膜とは膜厚を変えた酸化珪素膜としたことを特徴とする不揮発性半導体記憶装置。

【請求項2】 前記ゲート間層間膜がフローティングゲート電極の上面及び側面を覆っていることを特徴とする請求項1に記載の不揮発性半導体記憶装置。

【請求項3】 フローティングゲート電極に電子を保持することによって情報を記憶するメモリセルと周辺回路用MISFETとを有する不揮発性半導体記憶装置の製造方法において、

メモリセルのフローティングゲート電極となる導電体を堆積させる工程と、

メモリセルのフローティングゲート電極とコントロールゲート電極との間のゲート間層間膜を構成する酸化珪素膜を堆積させる工程と、

前記ゲート間層間膜を構成する窒化珪素膜を堆積させる工程と、

CVD及び熱酸化又は熱酸化及びCVDによって、ゲート間層間膜及び周辺回路用MISFETのゲート絶縁膜となる酸化珪素膜を、ゲート間層間膜及び前記ゲート絶縁膜とで膜厚を変えて形成する工程と、

メモリセルのコントロールゲート電極及び周辺回路用MISFETのゲート電極となる導電体を堆積させる工程とを備えたことを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項4】 前記CVDによる酸化珪素膜形成後に熱酸化を行ない、熱酸化後にN₂O等によるアニールを行なうことを特徴とする請求項3に記載の不揮発性半導体記憶装置の製造方法。

【請求項5】 前記CVDによる酸化珪素膜形成後に、N₂O等によるアニールを行ない、アニール後に熱酸化を行うことを特徴とする請求項3に記載の不揮発性半導体記憶装置の製造方法。

【請求項6】 前記熱酸化後にCVDによる酸化珪素膜を形成し、アニールを行ない、アニール後に熱酸化を行なうことを特徴とする請求項3に記載の不揮発性半導体記憶装置の製造方法。

【請求項7】 前記メモリセルのフローティングゲート電極となる導電体を堆積させる工程によって、前記周辺

回路用MISFETのゲート電極となる導電体を堆積させることを特徴とする請求項3乃至請求項5の何れかに記載の不揮発性半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、不揮発性半導体記憶装置に関し、特に、不揮発性半導体記憶装置のフローティングゲート電極とコントロールゲート電極との間のゲート間層間膜及び周辺トランジスタ部のゲート絶縁膜の形成に適用して有効な技術に関するものである。

【0002】

【従来の技術】 半導体記憶装置には、電源を供給している間だけ記録された情報を保持する揮発性の半導体記憶装置と電源の供給を断たれても記録された情報を保持することができる不揮発性の半導体記憶装置とがある。

【0003】 不揮発性の半導体記憶装置として、電気的に情報の書き込み、消去が可能なEEPROM (Electrically Erasable Programmable Read Only Memory) がある。

【0004】 このような不揮発性半導体記憶装置の記憶素子であるメモリセルは、半導体基板チャネル領域上にゲート絶縁膜を介してフローティングゲート電極を設け、フローティングゲート電極の上にゲート間層間膜を介してコントロールゲート電極が設けられた構成となっている。このような構成では、フローティングゲート電極中の電子の有無、即ちフローティングゲート電極中に電子が蓄えられているか否かによって、コントロールゲート電極に電圧を加わえた場合の、前記チャネル領域を挟んで設けられたソース領域、ドレイン領域の導通が生じるしきい値電圧が変化する。この変化を利用して、情報はフローティングゲート電極への電子の注入によって記憶され、例えばフローティングゲート電極中に電子が存在する状態を"0"とし、フローティングゲート電極中に電子が存在しない状態を"1"として、情報の有無を判断する。

【0005】 このようなフローティングゲート電極を有する不揮発性の記憶素子では、フローティングゲート電極からコントロールゲート電極へ電子がリークすることによってフローティングゲート電極の情報を消失させるのを防止するために、フローティングゲート電極とコントロールゲート電極との間のゲート間層間膜を、酸化珪素膜、窒化珪素膜、酸化珪素膜を順次積層した積層膜(ONO膜)とすることが望ましく、実際には上層の酸化珪素膜が中間工程の洗浄によって削られるのを防止するために、上層の酸化珪素膜上に窒化珪素膜を更に積層した4層の積層膜(ONON膜)が用いられている。

【0006】

【発明が解決しようとする課題】 不揮発性記憶素子の情報書き込み動作では、例えばコントロールゲート電極に12V(書き込み電圧)、ドレイン領域に6V、ソース

3

領域に 0 V を印加して、フローティングゲート電極にホットエレクトロンを注入することによって行なわれている。このような注入では、コントロールゲート電極に書き込み電圧を印加した時に、フローティングゲート電極の電位が高いほどフローティングゲート電極への電子の

$$V_{fg} = \frac{C_1}{C_t} V_g + \frac{C_d}{C_t} V_d - \frac{Q}{C_t}$$

$$C_t = C_1 + C_2 + C_s + C_d$$

C_1 : フローティングゲート・コントロールゲート間容量

C_2 : フローティングゲート・基板間容量

C_s : フローティングゲート・ソース間容量

C_d : フローティングゲート・ドレイン間容量

V_g : コントロールゲート電圧

V_d : ドレイン電圧

Q : フローティングゲートの電荷

【0008】一般に C_d (フローティングゲート・ドレイン間容量) は C_1 (フローティングゲート・コントロールゲート間容量) と比較した場合に十分に小さく、書き込み初期ではフローティングゲート電極の電荷 $Q = 0$ となっている。従って上式は近似的に次の式で表わされる。

【0009】

【数 2】

$$V_{fg} = \frac{C_1}{C_t} V_g$$

【0010】この式からより多くの電子を注入することによって書き込み特性を向上させるためには V_{fg} を高くすればよく、 V_{fg} を高くするためにはフローティン

$$C_1 = S \frac{\epsilon_0 \cdot \epsilon_{ox}}{T_{ox}}$$

S : フローティングゲート・コントロールゲートの重なった部分の面積

T_{ox} : フローティングゲート・コントロールゲート間膜厚

ϵ_0 : 真空の誘電率

ϵ_{ox} : フローティングゲート・コントロールゲート間誘電膜の比誘電率

【0012】この式から C_1 を大きくするためには、フローティングゲート電極とコントロールゲート電極とが重なり合う部分の面積 S を増加させる、フローティングゲート電極とコントロールゲート電極との間のゲート間層間膜の比誘電率 ϵ_{ox} を高くする或いはフローティングゲート電極とコントロールゲート電極との間のゲート感層間膜の膜厚 T_{ox} を薄くする必要がある。しかしながら面積 S を増加させることはセルサイズが大きくなるために微細化の障害となり、フローティングゲート電極とコントロールゲート電極との間のゲート間層間膜の比誘電率 ϵ_{ox} を高くするためにはゲート間層間膜の構成を変えなければならず、現状では前記ゲート間層間膜と同等の機能を果たしなおかつ比誘電率の高い構成は実用化に至っていない。従って、容量 C_1 を大きくするためにはフローティングゲート電極とコントロールゲート電極との間の層間膜の膜厚 T_{ox} を薄くする必要がある。

【0013】また、情報の消去動作では、例えばコン

4

注込が起りやすくなり、情報書き込みの特性が向上することとなる。この情報書き込み動作において、フローティングゲート電極の電位 V_{fg} は次の式で表わされる。

【0007】

【数 1】

グゲート電極とコントロールゲート電極との間の容量 C_1 或いは書き込み電圧 V_g を大きくすれば良いことが判る。しかしながら、書き込み電圧 V_g は規格によって決められおり、回路全体の電圧に応じて低くすることが要求されている現状では高くすることはできず、従ってフローティングゲート電極の電位 V_{fg} を上昇させるためにはフローティングゲート電極とコントロールゲート電極との間の容量 C_1 を増大させる必要がある。フローティングゲート電極とコントロールゲート電極との間の容量 C_1 は次の式で表わされる。

【0011】

【数 3】

ロールゲート電極に 0 V、ソース領域に 12 V (消去電圧) を印加して、ゲート絶縁膜を通した電子のトンネリングによってフローティングゲート電極の電子をソース領域に引き抜くことによって行なわれている。このような消去動作では、フローティングゲート電極の電位 V_{fg} が低いほどフローティングゲート電極とソース領域との電位差が大きくなり、フローティングゲート電極からの電子の引き抜きが起りやすくなり、情報消去の特性が向上することとなる。情報消去状態ではフローティングゲート電極の電位 V_{fg} は次の式で表わされる。

【0014】

【数 4】

$$V_{fg} = \frac{C_s}{C_t} V_s - \frac{Q}{C_t}$$

【0015】この式から消去特性を向上させるために、フローティングゲート電極の電位 V_{fg} を低くするためには、フローティングゲート・ソース間の容量 C_s の比

50

率を小さくすることが有効であることが判る。フローティングゲート電極とコントロールゲート電極との間の容量 C_1 を大きくした場合には、相対的にフローティングゲート電極・ソース領域間の容量 C_s の比率が小さくなる。従って、フローティングゲート電極とコントロールゲート電極との間のゲート間層間膜の膜厚 T_{ox} を薄くすることによって、フローティングゲート電極とコントロールゲート電極との間の容量 C_1 が大きくなり、消去特性も向上することとなる。

【0016】以上、情報の書き込みをホットエレクトロン注入、情報の消去を電子のトンネリングで行なう場合について説明したが、情報の書き込み・消去をともに電子のトンネリングを用いる場合においても、ゲート間層間膜の膜厚 T_{ox} を薄くすることにより、書き込み・消去特性が向上する。

【0017】このような現状からゲート間層間膜の膜厚を薄くするための種々の試みがなされており、例えば、特開平4-858825号公報に開示されているように、ゲート間層間膜をONO膜とする方法が考えられているが、この方法では周辺トランジスタ部のゲート酸化膜とゲート間層間膜の上層の酸化珪素膜とを同一の膜厚で構成しているため、周辺トランジスタ部のゲート酸化膜の膜厚によってゲート間層間膜の上層の酸化珪素膜の膜厚が決められてしまい、ゲート間層間膜の上層の酸化珪素膜の膜厚を十分に薄くすることができない。

【0018】また、特開平6-232415号公報に開示されているように、ゲート間層間膜をONO膜とし、上層の酸化珪素膜の減少分を見込んで上層の酸化珪素膜の膜厚を予め厚く形成する方法が考えられているが、エッチングレートの誤差による膜厚の減少分を見込んで、上層の酸化珪素膜の膜厚を厚くしなければならないために、上層の酸化珪素膜が必要以上に厚いものとなってしまいゲート間層間膜の充分な薄膜化が行なわれないこととなる。

【0019】また、フローティングゲート電極を有する半導体記憶装置では、メモリセルと周辺回路（周辺トランジスタ部）の読出し回路用MISFET（Metal Insulator Semiconductor Field Effect Transistor）と書き込み回路用MISFETとを形成する際に、印加される電圧の違いから、メモリセルのフローティングゲート電極と周辺回路の書き込み回路用MISFETのゲート電極とが同一工程で形成され、メモリセルのコントロールゲート電極と周辺回路の読出し回路用MISFETのゲート電極とが同一の工程で形成され、読出し回路用MISFETのゲート絶縁膜は前記ゲート間層間膜の形成工程によって形成されている。

【0020】しかしながら、前記読出し回路用MISFETのゲート絶縁膜とゲート間層間膜とでは、必要とする厚さが異なるために、同一の工程によって夫々最適の厚さとするのが困難であった。

【0021】本発明の課題は、このような問題を解決し、フローティングゲート電極とコントロールゲート電極との間のゲート間層間膜を薄くすることによって、フローティングゲート電極を有する半導体記憶装置の素子の特性を改善することが可能な技術を提供することにある。

【0022】本発明の他の課題は、前記ゲート間層間膜と周辺回路用MISFETのゲート絶縁膜を夫々最適の厚さに形成することが可能な技術を提供することにある。

【0023】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかになるであろう。

【0024】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

【0025】本発明では、メモリセルのフローティングゲート電極とコントロールゲート電極との間のゲート間層間膜を三層構造のONO膜とし、また、下地による酸化珪素膜の成長の差を利用して、ゲート間層間膜の上層酸化珪素膜と周辺回路用MISFETのゲート絶縁膜とを夫々膜厚を変えて同一の工程にて形成するので、ゲート間層間膜の膜厚を薄くすることが可能となり、工程の増加させることなく夫々の膜厚を最適な値に形成することができる。

【0026】上述した手段によれば、前記ゲート間層間膜の膜厚が薄くなるために、情報の書き込み、消去の特性が向上し、メモリセルのサイズを縮小しても、従前のものと同等の特性を得ることが可能となる。

【0027】以下、本発明の実施の形態を説明する。

【0028】なお、実施の形態を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【0029】

【発明の実施の形態】図1に示すのは、本発明を適用した一実施の形態として不揮発性半導体記憶装置であるNOR型のフラッシュメモリ（Flash Memory）のメモリセル部を示す平面図であり、図中破線にて囲った部分がメモリセル1単位となる。また、図2に示すのは図1中のa-a線（行方向）に沿った縦断面図であり、図3に示すのは図1中のb-b線（列方向）に沿った縦断面図である。

【0030】図中、1はp型の単結晶シリコンからなる半導体基板であり、2は各素子形成領域を分離するフィールド絶縁膜であり、3はn型半導体領域（高濃度領域3a及び高濃度領域3bからなるソース領域及びドレイン領域）であり、4はゲート絶縁膜（第1ゲート絶縁膜）5を介して半導体基板1上に設けられたフローティングゲート電極であり、フローティングゲート電極4上

にゲート間層間膜（第2ゲート絶縁膜）6を介してコントロールゲート電極7が設けられている。ゲート間層間膜6は、下層の酸化珪素膜6a、窒化珪素膜6b、上層の酸化珪素膜6cを順次積層した積層膜（ONO膜）となっている。図に示すように、メモリセルMCであるMISFET（Metal Insulator Semiconductor Field Effect Transistor）は、ゲート絶縁膜5、フローティングゲート電極4、ゲート間層間膜6、コントロールゲート電極7、n型半導体領域3とで構成される。

【0031】各メモリセルMCは行方向及び列方向に複数設けられており、列方向に隣接する各セルMCのコントロールゲート電極7は一体となって延在してワード線WLを構成し、列方向に隣接する各メモリセルMCのソース領域3は一体となって延在して共通ソース線SLを構成し、行方向に隣接する2つのメモリセルMCのドレイン領域3が共通となっており、各ドレイン領域3は行方向に延在するデータ線DLに接続されている。

【0032】図4中（a）は半導体記憶装置が搭載されるワンチップ・マイクロコンピュータの構成を示す図である。演算処理を行なうCPU（Central Processor Unit）を中心として、プログラムを記憶する比較的大容量の不揮発性半導体記憶装置であるEPROM（Electrically Programmable Read Only Memory）、プログラムの実行の途中で他のプログラムの実行を行なわせる割込みコントローラINTC（Interrupt Controller）、外部の周辺機器との接続を行ないデータの読み込み、演算結果等の外部への伝達等を行なうI/OポートI/O、各動作の同期を取るためのタイミング信号を発生する或いは時間経過を測定するためのタイマT、アナログ信号とデジタル信号との変換を行なうA/D変換器A/D等各種の周辺制御機能がワンチップに集積化されている。

【0033】本実施の形態であるフラッシュメモリを、図4中（a）に示す前記EPROMに換えて搭載することにより、図4中（b）に示す本願発明の半導体記憶装置が搭載されたワンチップ・マイクロコンピュータが得られ、このワンチップ・マイクロコンピュータは、基板実装状態でROMに収納したデータ、プログラムの書き換えが簡単に行なえる。このため、本格的な量産に移行するまでの評価、試作用や量産立ち上げ用として有効であり、また仕様変更が頻繁に行なわれる製品用や、少量多品種生産の製品用としても有効である。

【0034】また、機器組立て後にも、機器ごとのチューニング、仕様変更、ソフトウェアのバージョンアップやメンテナンスを行なうことが可能である。

【0035】前述した不揮発性半導体記憶装置の製造方法を図5乃至図15及び図20乃至図24を用いて工程毎に説明する。

【0036】半導体記憶装置は情報を記憶するメモリセルMCと情報の書き込み或いは読み出しを行なう周辺回路を備えており、メモリセルMC及び周辺回路の書き込

み回路用のMISFETQwと読み出し回路用のMISFETQrとでは印加される電圧が異なることから、メモリセルMCのフローティングゲート電極と周辺回路の書き込み回路用MISFETQwのゲート電極とが同一工程で形成され、メモリセルMCのコントロールゲート電極と周辺回路の読み出し回路用MISFETQrのゲート電極とが同一の工程で形成されている。なお、CPU、コントローラINTC、I/OポートI/O、A/D変換器A/D等を構成するMISFETは、読み出し回路用MISFETQrと同じ構成で形成される。

【0037】以下の説明では図面各図中、メモリセルMC、読み出し回路用のMISFETQr及び書き込み回路用のMISFETQwの夫々について、前記列方向（ワード線方向）の断面図を上段に、前記行方向（データ線方向）の断面図を下段に示している。

【0038】まず、半導体基板1に各素子形成領域2aを規定するフィールド絶縁膜2を設け（図20）、半導体基板1の主面にメモリセルMCのゲート絶縁膜5及び書き込み回路用MISFETのゲート絶縁膜9となる酸化珪素膜を形成した後に、メモリセルMCのフローティングゲート電極4と書き込み回路用MISFETのゲート電極となる多結晶シリコン膜10を半導体基板1の全面に形成する（図5）。ゲート絶縁膜5は、例えば10nm以下の膜厚の酸化珪素膜で形成される。ゲート絶縁膜9は、ゲート絶縁膜5よりも厚い膜厚で構成される。ゲート絶縁膜5、9は、半導体基板1を熱酸化した熱酸化膜で形成される。また、多結晶シリコン膜10は、例えばCVD（Chemical Vapour Deposition）法により形成される。

【0039】次に、ホトリソグラフィとエッチングによって多結晶シリコン膜10に対して、フローティングゲート電極4のデータ線方向のパターニングと書き込み回路用MISFETQwのゲート電極11のゲート長方向のパターニングを行ない、メモリセル形成領域上に多結晶シリコン膜4a、読み出し回路用MISFET形成領域上に多結晶シリコン膜11aを夫々形成する（図6）。このパターニングにより、図21に示す行方向に延在する多結晶シリコン膜4aが形成される。また、このパターニングによりフローティングゲート電極4aの列方向の幅が規定される。

【0040】次に、多結晶シリコン膜4a及び多結晶シリコン膜11aの表面に850℃乃至1000℃のドライ雰囲気での熱酸化にて、或いは700℃乃至800℃のCVD法により、膜厚5乃至20nmの酸化珪素膜6aを形成し、続いて700℃乃至800℃のCVD法により膜厚10～20nmの窒化珪素膜6bを堆積させ、窒化珪素膜6bのピンホールを埋めるために、900℃乃至1000℃の窒素雰囲気にてアニールを行なう（図7）。このアニールに代えて熱酸化により900℃乃至1000℃のウェット又はスチーム雰囲気にて熱酸化に

よる酸化珪素膜（図示せず）を形成してもよい。

【0041】なお、酸化珪素膜 6 a は、フローティングゲート電極 4 からコントロールゲート電極 7 への電子のリークを防止するため、好ましくは 10 nm 以上の膜厚、即ち 10 nm ~ 20 nm が適切である。窒化珪素膜 6 b は、酸化珪素膜 6 a よりも誘電率が高いのでゲート間層間膜 6 の誘電率を高くすることができる。

【0042】次に、ホトリソグラフィによって読み出し用 MISFET 形成領域を露出させたレジストマスク 1 2 を形成し、読み出し用 MISFET 形成領域の窒化珪素膜 6 b をドライエッチングによって除去する（図 8）。

【0043】次に、レジストマスク 1 2 を除去した後、フッ酸による洗浄を行ない読み出し用 MISFET 形成領域の酸化珪素膜 6 a 及びゲート絶縁膜 9 を除去し、読み出し用 MISFET 形成領域の半導体基板 1 主面を露出させる。なお、前記ゲート間層間膜 6 の窒化珪素膜 6 b 上に熱酸化による酸化珪素膜（図示せず）を形成した場合には、このフッ酸洗浄によってこの酸化珪素膜も除去される。続いて読み出し回路用 MISFET 形成領域の半導体基板主面を 800℃乃至900℃のウェット又はドライ雰囲気にて熱酸化を行ない膜厚 10 nm 乃至 20 nm の犠牲酸化膜 1 3 を形成した後に読み出し用 MISFET 形成領域にチャネルイオンの注入を行なう（図 9）。

【0044】次に、フッ酸洗浄によって犠牲酸化膜 1 3 を除去した後に、ゲート間層間膜の上層の酸化珪素膜 6 c 及び読み出し回路用 MISFETQr のゲート絶縁膜 1 4 となる酸化珪素膜 1 4 a を CVD 法によって膜厚 3 nm 乃至 5 nm で全面に堆積させる（図 10）。

【0045】次に、800℃乃至900℃のドライ又はウェット雰囲気中で熱酸化を行ない読み出し回路用 MISFET 形成領域に読み出し回路用 MISFETQr のゲート絶縁膜 1 4 となる酸化珪素膜 1 4 を膜厚 10 nm 乃至 20 nm 成長させる。即ち、この熱酸化により、半導体基板 1 上に形成された酸化珪素膜 1 4 a は、その膜厚を増して、10 ~ 20 nm の膜厚の酸化珪素膜 1 4 が形成される。また、この熱酸化では、耐酸化性膜である窒化珪素膜 6 b 上には酸化珪素膜が殆ど成長しないのでゲート間層間膜の上層の酸化珪素膜 6 c の膜厚は殆ど変化をしない。即ち、この熱酸化により窒化珪素膜 6 b 上に形成された酸化珪素膜 6 c は、その膜厚が殆ど変化しない。これによってメモリセル MC のゲート間層間膜 6 として、下から順に酸化珪素膜 6 a、窒化珪素膜 6 b、酸化珪素膜 6 c を積層した絶縁膜（ONO 膜）を酸化珪素膜 6 c を十分に薄くした状態にて形成することができると、同時に、読み出し回路用 MISFETQr のゲート絶縁膜 1 4 を同一の工程によって、酸化珪素膜 6 c とは夫々膜厚を変えて（酸化珪素膜 6 c よりも厚い膜厚で）形成することができる（図 11）。

【0046】また、この熱酸化により CVD 法で形成された酸化珪素膜 6 c 及び酸化珪素膜 1 4 は焼きしめられ、欠陥密度の少ない緻密な膜となり、酸化珪素膜 6 c、1 4 の膜質を向上させることができる。

【0047】一方、この熱酸化を 900℃以上で行なうと、酸化珪素膜 6 c、1 4 の欠陥密度は増大してしまう。この欠陥密度を低減するには、好ましくはウェット雰囲気、800℃~900℃の熱酸化が良い。また、酸化珪素膜 6 c は、正孔（ホール）がコントロールゲート電極 7 からフローティングゲート電極 4 へリークするのを防止するため、3 nm 以上の膜厚が必要である。一方、ゲート間層間膜 6 の膜厚を低減することを考慮すると上記 3 nm ~ 5 nm が好ましい。

【0048】即ち、酸化珪素膜 6 a と窒化珪素膜 6 b との 2 層膜でゲート間層間膜を形成した場合に比べて、酸化珪素膜 6 c を 3 nm 以上の膜厚で窒化珪素膜 6 b 上に形成することで、ゲート間層間膜を形成した場合の方が、正孔によるリーク電流を低減することができる。

【0049】この熱酸化の後に、N₂O 等の不活性ガス雰囲気中でアニールを行なう。このアニールにより、酸化珪素膜 6 c、ゲート絶縁膜 1 4 は焼きしめられ、その膜質が向上する。

【0050】次に、メモリセル MC のコントロールゲート電極 7 及び読み出し回路用 MISFETQr のゲート電極となる多結晶シリコン膜と多結晶シリコン膜上のシリサイド膜との 2 層膜（ポリサイド膜）1 5 を全面に堆積させる。（図 12）。なお、1 5 は 2 層膜に限定されず、多結晶シリコン膜単層又はシリサイド膜単層で構成しても良い。

【0051】次に、ホトリソグラフィによってレジストマスク 1 6 を形成し、このレジストマスク 1 6 を用いたエッチングによって 2 層膜 1 5 をワード線 WL（コントロールゲート電極 7）にパターニングし、更にゲート間層間膜 6 及びフローティングゲート電極 4 のパターニングを行なう（図 22）。

【0052】次に、メモリセル MC のソース領域、ドレイン領域 3 を構成する高濃度領域 3 a を形成するために n 型の不純物リン（P）又はヒ素（As）のイオン打ち込みを行なう（図 13）。

【0053】次に、ホトリソグラフィによってメモリセル MC 領域を覆うレジストマスク 1 7 を形成し、このレジストマスク 1 7 を用いたエッチングによって読み出し回路用 MISFETQr のゲート電極 1 8 のパターニングを行ない、書き込み回路用 MISFET 領域の 2 層膜 1 5 の除去を行なう。この後、レジストマスク 1 7 を除去し、ゲート電極 1 1、1 8 をマスクとして読み出し回路用 MISFETQr のソース領域、ドレイン領域 1 9 及び書き込み回路用 MISFET のソース領域、ドレイン領域 20 を構成する低濃度領域 1 9 a、20 a を形成するために n 型の不純物リン（P）又はヒ素（As）の

イオン打ち込みを行なう(図14)。

【0054】次に、各ゲートのサイドウォールスペーサ21、22、23を形成し、このサイドウォールスペーサ21、22、23をマスクとして用いたn型不純物のイオン打ち込みを行ない、ソース領域及びドレイン領域3、19、20の高濃度領域3b、19b、20bを形成する(図15)。

【0055】この後、各素子を覆う層間絶縁膜8を堆積させ、コンタクトホール形成後にデータ線DLとなる金属配線によって各ドレイン領域3を接続して、図1、図2及び図3に示すメモリセルMCが形成される。

【0056】このように、周辺回路を形成する、読み出し回路用MISFETQrは、上層の酸化珪素膜6cよりも厚い膜厚のゲート絶縁膜14、ゲート電極18(コントロールゲート電極7と同層)、n型半導体領域19(ソース/ドレイン領域)で構成される。

【0057】以上の説明では、熱酸化により酸化珪素膜6c、ゲート絶縁膜14を形成した後に、N₂O雰囲気中でアニールしているが、これに限らず、N₂O雰囲気によるアニールを行なった後、熱酸化を行ない酸化珪素膜6c、ゲート絶縁膜14を形成しても良い。このアニールにより酸化珪素膜6c、ゲート絶縁膜14が焼きしめられその膜質が向上する。

【0058】また、以上の説明では、CVD法により3nm～5nmの膜厚の酸化珪素膜14a、6cを形成した後、熱酸化を行ない酸化珪素膜6c、ゲート絶縁膜14を形成しているが、これに限らず、以下に示すように熱酸化の工程とCVD法で酸化膜を形成する工程とを逆にしてもよい。即ち、前述の図10に示す工程において、フッ酸洗浄によって犠牲酸化膜13を除去した後、800℃～900℃のウェット雰囲気中で熱酸化を行ない、読み出し回路用MISFET形成領域に読み出し回路用MISFETQrのゲート絶縁膜14となる酸化珪素膜14aを膜厚7nm程度形成する。この時、窒化珪素膜6b上には酸化珪素膜は形成されない(図23)。

【0059】次に、ゲート間層間膜の上層の酸化珪素膜6c及び読み出し回路用MISFETQrのゲート絶縁膜14となる酸化珪素膜14cをCVD法によって膜厚3nm程度で全面に堆積する。これにより、薄い上層の酸化珪素膜14cが形成されるとともに、酸化珪素膜14b、14cから厚い膜厚のゲート絶縁膜14が形成される(図24)。

【0060】この後、N₂O等の不活性ガス雰囲気中でアニールを行ない、上層の酸化珪素膜6c、ゲート絶縁膜14の焼きしめを行ない、その膜質を向上させる。この後は、前述の図12に示す以後の工程を行なう。このように、図23、図24に示す工程においても、前述の実施の形態と同様の効果を奏することができる。

【0061】参考例として、発明者らが本発明以前に実施していた方法を、図16乃至図19を用いて工程毎に

説明する。

【0062】以下の説明では図面各図中、メモリセルMC、読み出し回路用のMISFET及び書き込み回路用のMISFETの夫々について、前記列方向(ワード線方向)の断面図を上段に、前記行方向(データ線方向)の断面図を下段に示している。

【0063】まず図5乃至図6に示す工程までは前述した実施の形態と同様であるが、その後、フローティングゲート電極4及び書き込み回路用MISFETのゲート電極11の表面に850℃乃至1000℃のドライ雰囲気にて熱酸化により膜厚5乃至20nmの酸化珪素膜6aを形成し、続いて700℃乃至800℃にてCVD法により膜厚10～20nmの窒化珪素膜6bを堆積させ、900℃乃至1000℃のウェットスチーム雰囲気にて熱酸化を行ない膜厚3乃至10nmの上層酸化珪素膜6cを形成し、酸化珪素膜6cの洗浄工程での酸化膜削れを防止するために膜厚5～15nmの窒化珪素膜6dを700℃乃至800℃にてCVD法により堆積させ、下から順に酸化珪素膜6a、窒化珪素膜6b、酸化珪素膜6c、窒化珪素膜6dを積層した絶縁膜(ONON膜)を形成する(図16)。

【0064】次に、ホトリソグラフィによって読み出し用MISFET形成領域を露出させたレジストマスク12を形成し、読み出し用MISFET形成領域の窒化珪素膜6d、酸化珪素膜6c及び窒化珪素膜6bをドライエッチングによって除去する(図17)。

【0065】次に、レジストマスク12を除去した後に、フッ酸による洗浄を行ない読み出し用MISFET形成領域の酸化珪素膜6a及びゲート絶縁膜9を除去し、読み出し用MISFET形成領域の半導体基板1主面を露出させる。なお、前記ゲート間層間膜6の酸化珪素膜6c上に酸化珪素膜6dがない場合には、このフッ酸洗浄によって酸化珪素膜6cは除去される。続いて読み出し回路用MISFET形成領域の半導体基板主面を800℃乃至900℃のウェット又はドライ雰囲気にて熱酸化を行ない膜厚10nm乃至20nmの犠牲酸化膜13を形成した後に読み出し用MISFET形成領域にチャネルイオンの注入を行なう(図18)。

【0066】次に、フッ酸洗浄によって犠牲酸化膜13を除去した後に、800℃乃至900℃のドライ又はウェット雰囲気にて熱酸化を行ない読み出し回路用MISFET形成領域に読み出し回路用MISFETのゲート絶縁膜14となる酸化珪素膜を膜厚10乃至20nmにて形成する(図19)。

【0067】この後の工程は、通常の製造方法と同様であり、前述した工程の図12乃至図15に相当する工程を経て参考例の不揮発性半導体記憶装置が形成される。

【0068】このようにして形成された参考例の半導体記憶装置では、ゲート間層間膜がONON膜となるために、ゲート間層間膜を薄くすることが困難であり、ゲ

ト間層間膜を形成する工程とは別に、読み込み回路用 M I S F E T のゲート絶縁膜を形成する工程が必要となっていた。これに対して、本発明では、前述した方法によって、ゲート間層間膜を O N O 膜とすることが可能となり、ゲート間層間膜の膜厚を薄くすることができる。

【 0 0 6 9 】 また、下地による酸化珪素膜の成長の差を利用して、ゲート間層間膜の上層酸化珪素膜と読み出し回路用 M I S F E T のゲート絶縁膜とを夫々膜厚を変えて同一の工程にて形成するので、工程の増加させることなく夫々の膜厚を最適な値に形成することができる。

【 0 0 7 0 】 従って、ゲート間層間膜の膜厚が薄くなるために、情報の書き込み、消去の特性が向上し、メモリセル M C のサイズを縮小しても、従前のものと同等の特性を得ることが可能となる。

【 0 0 7 1 】 以上、本発明者によってなされた発明を、前記実施の形態に基づき具体的に説明したが、本発明は、前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

【 0 0 7 2 】 例えば、前述した実施の形態では、マイクロコンピュータに搭載される R O M として用いられるフラッシュメモリを例にして説明したが、単体の記憶装置として用いられるフラッシュメモリにも、本発明は適用が可能であり、他にフローティングゲート電極を有する E P R O M 或いは E E P R O M にも適用が可能である。

【 0 0 7 3 】 更に本発明は、複数層の多結晶シリコン層を有するにて、層間膜とゲート絶縁膜とを同一工程にて形成する他のプロセスにも適用が可能である。

【 0 0 7 4 】

【発明の効果】 本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

【 0 0 7 5 】 (1) 本発明によれば、ゲート間絶縁膜を O N O 膜によって構成することができるという効果がある。

【 0 0 7 6 】 (2) 本発明によれば、O N O 膜の上層酸化珪素膜と周辺回路用 M I S F E T のゲート絶縁膜とを同一の工程によって夫々膜厚を代えて形成することができるという効果がある。

【 0 0 7 7 】 (3) 本発明によれば、O N O 膜の上層酸化珪素膜を薄くすることができるという効果がある。

【 0 0 7 8 】 (4) 本発明によれば、上記効果 (1) (3) により、ゲート間絶縁膜を薄くすることができるという効果がある。

【 0 0 7 9 】 (5) 本発明によれば、上記効果 (4) により、不揮発性半導体記憶装置の特性が向上するという効果がある。

【 0 0 8 0 】 (6) 本発明によれば、上記効果 (5) により、不揮発性半導体記憶装置の素子形成面積を縮小することが可能になるという効果がある。

【図面の簡単な説明】

【図 1】 本発明の一実施の形態である不揮発性半導体記憶装置の要部を示す平面図である。

【図 2】 図 1 に示す不揮発性半導体記憶装置の要部を a - a 線に沿って b - b 示す縦断面図である。

【図 3】 図 1 に示す不揮発性半導体記憶装置の要部を b - b 線に沿って示す縦断面図である。

【図 4】 従来の不揮発性半導体記憶装置及び本発明の一実施の形態である不揮発性半導体記憶装置の搭載されたワンチップ・マイクロコンピュータの構成を示す図である。

【図 5】 本発明の一実施の形態である不揮発性半導体記憶装置の要部を工程ごとに示す縦断面図である。

【図 6】 本発明の一実施の形態である不揮発性半導体記憶装置の要部を工程ごとに示す縦断面図である。

【図 7】 本発明の一実施の形態である不揮発性半導体記憶装置の要部を工程ごとに示す縦断面図である。

【図 8】 本発明の一実施の形態である不揮発性半導体記憶装置の要部を工程ごとに示す縦断面図である。

【図 9】 本発明の一実施の形態である不揮発性半導体記憶装置の要部を工程ごとに示す縦断面図である。

【図 1 0】 本発明の一実施の形態である不揮発性半導体記憶装置の要部を工程ごとに示す縦断面図である。

【図 1 1】 本発明の一実施の形態である不揮発性半導体記憶装置の要部を工程ごとに示す縦断面図である。

【図 1 2】 本発明の一実施の形態である不揮発性半導体記憶装置の要部を工程ごとに示す縦断面図である。

【図 1 3】 本発明の一実施の形態である不揮発性半導体記憶装置の要部を工程ごとに示す縦断面図である。

【図 1 4】 本発明の一実施の形態である不揮発性半導体記憶装置の要部を工程ごとに示す縦断面図である。

【図 1 5】 本発明の一実施の形態である不揮発性半導体記憶装置の要部を工程ごとに示す縦断面図である。

【図 1 6】 本発明の参考例である不揮発性半導体記憶装置の要部を工程ごとに示す縦断面図である。

【図 1 7】 本発明の参考例である不揮発性半導体記憶装置の要部を工程ごとに示す縦断面図である。

【図 1 8】 本発明の参考例である不揮発性半導体記憶装置の要部を工程ごとに示す縦断面図である。

【図 1 9】 本発明の参考例である不揮発性半導体記憶装置の要部を工程ごとに示す縦断面図である。

【図 2 0】 本発明の一実施の形態である不揮発性半導体記憶装置の要部を工程ごとに示す平面図である。

【図 2 1】 本発明の一実施の形態である不揮発性半導体記憶装置の要部を工程ごとに示す平面図である。

【図 2 2】 本発明の一実施の形態である不揮発性半導体記憶装置の要部を工程ごとに示す平面図である。

【図 2 3】 本発明の一実施の形態である不揮発性半導体記憶装置の要部を工程ごとに示す縦断面図である。

【図 2 4】 本発明の一実施の形態である不揮発性半導体

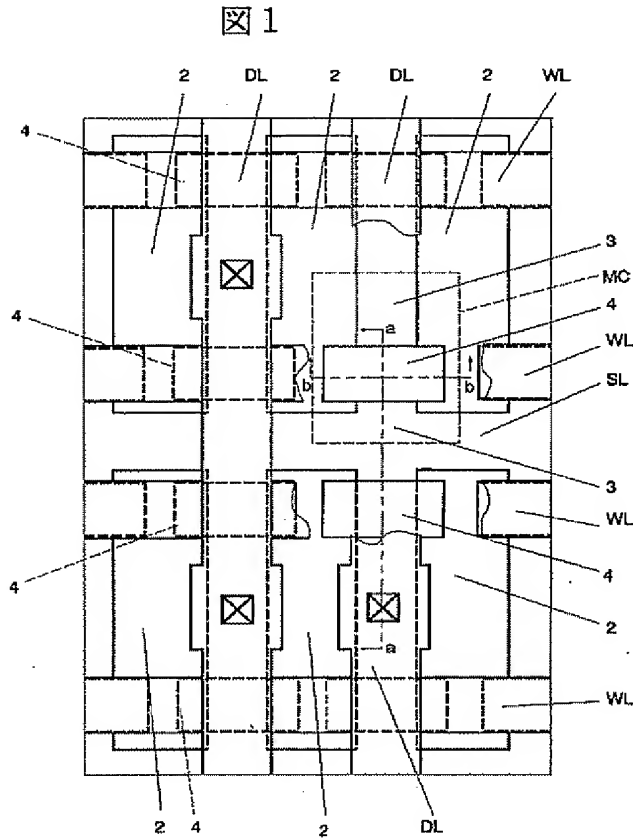
15

記憶装置の要部を工程ごとに示す縦断面図である。

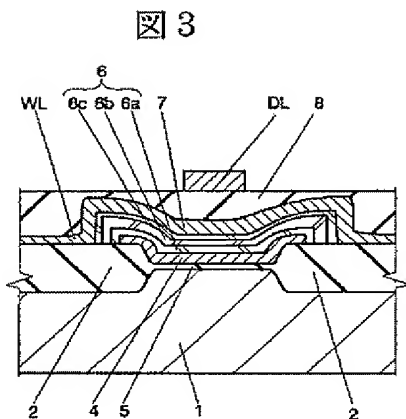
【符号の説明】

1…半導体記憶装置、2…フィールド絶縁膜、3、19、20…ソース領域、ドレイン領域、19a、20a…低濃度領域、3a、3b、19b、20b…高濃度領域、4…フローティングゲート電極、5、9、14…ゲート絶縁膜、6…ゲート間層間膜、6a、6c…酸化珪素膜、6b、6d…窒化珪素膜、7…コントロールゲート電極、8…層間絶縁膜、10、15…多結晶シリコン膜、11、18…ゲート電極、12、16、17…レジストマスク、13…犠牲酸化膜、21、22、23…サイドウォールスペーサ。

【図1】



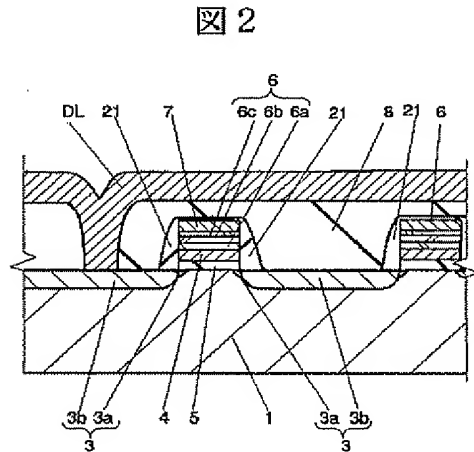
【図3】



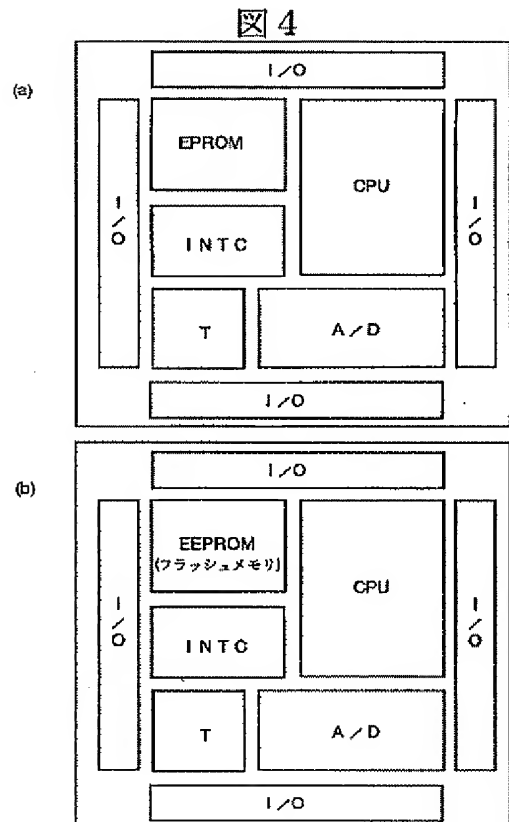
16

ート絶縁膜、6…ゲート間層間膜、6a、6c…酸化珪素膜、6b、6d…窒化珪素膜、7…コントロールゲート電極、8…層間絶縁膜、10、15…多結晶シリコン膜、11、18…ゲート電極、12、16、17…レジストマスク、13…犠牲酸化膜、21、22、23…サイドウォールスペーサ。

【図2】



【図4】



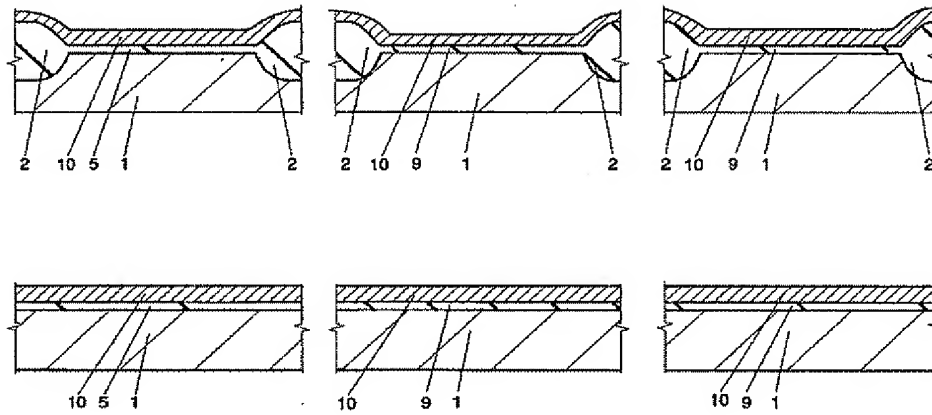
【図 5】

図 5

(メモリセル)

(読み出し回路)

(書き込み回路)



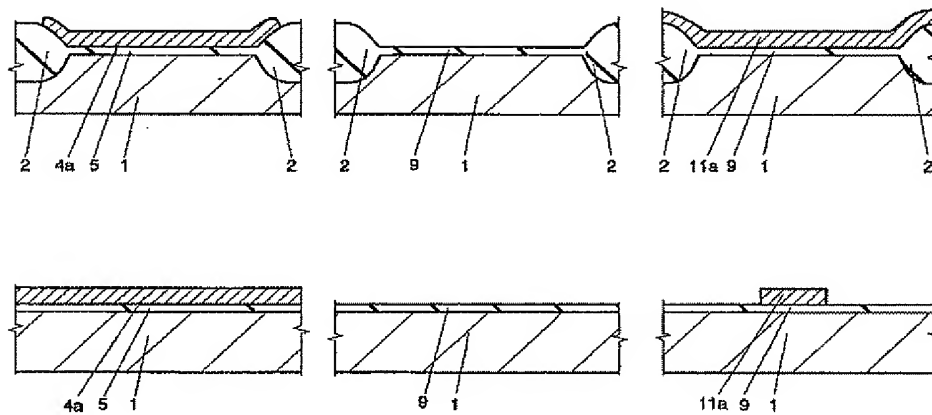
【図 6】

図 6

(メモリセル)

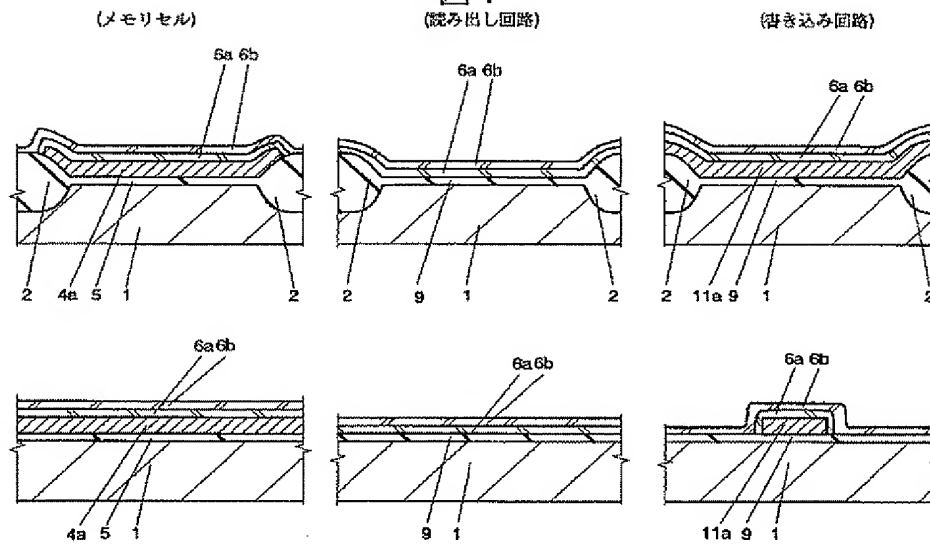
(読み出し回路)

(書き込み回路)



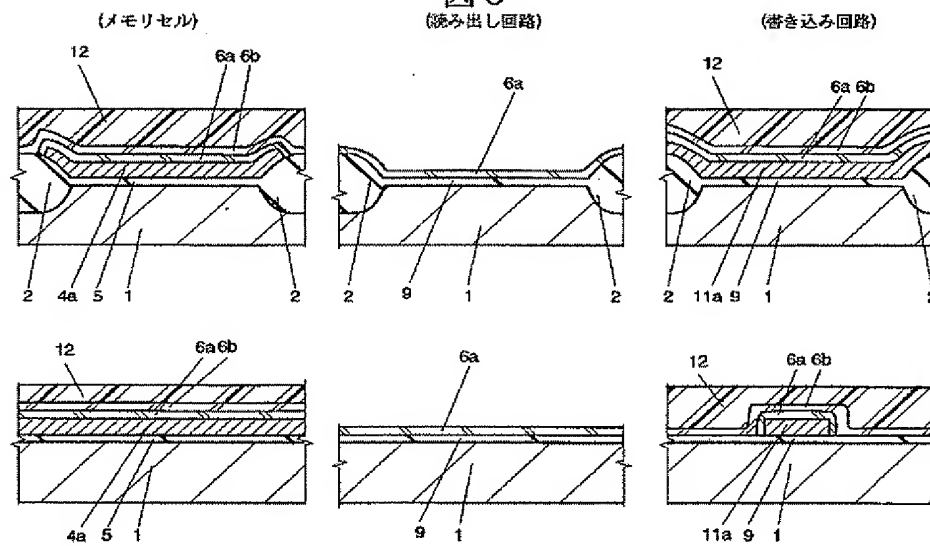
【図 7】

図 7
 (読み出し回路)



【図 8】

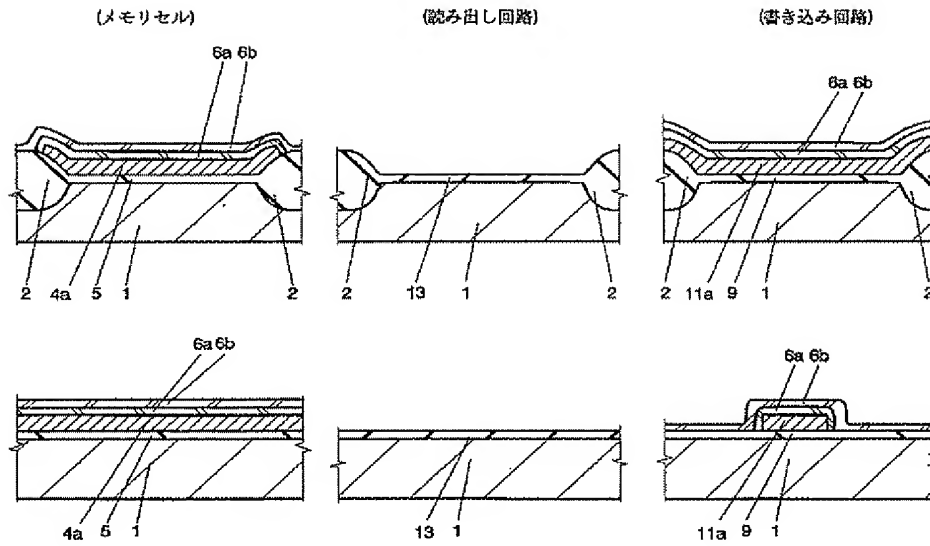
図 8
 (読み出し回路)



【図 9】

図 9

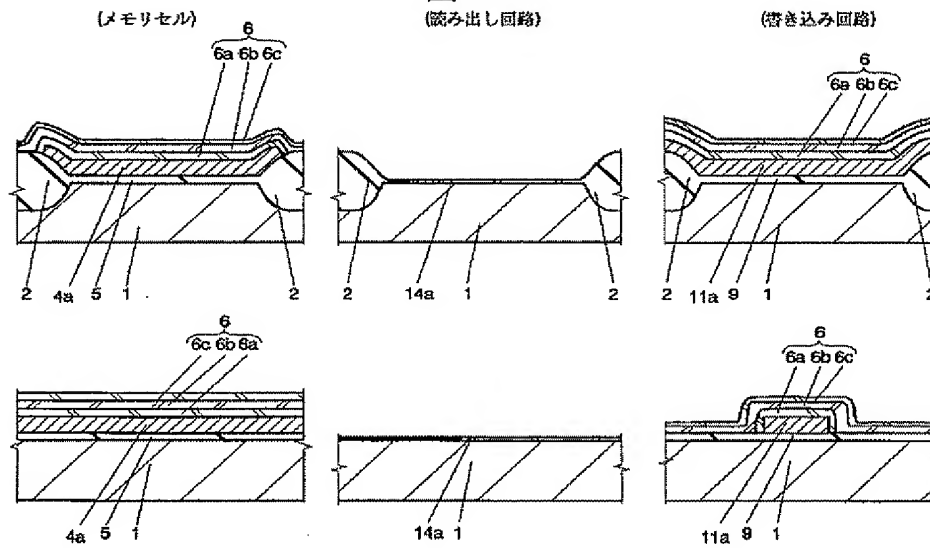
(読み出し回路)



【図 10】

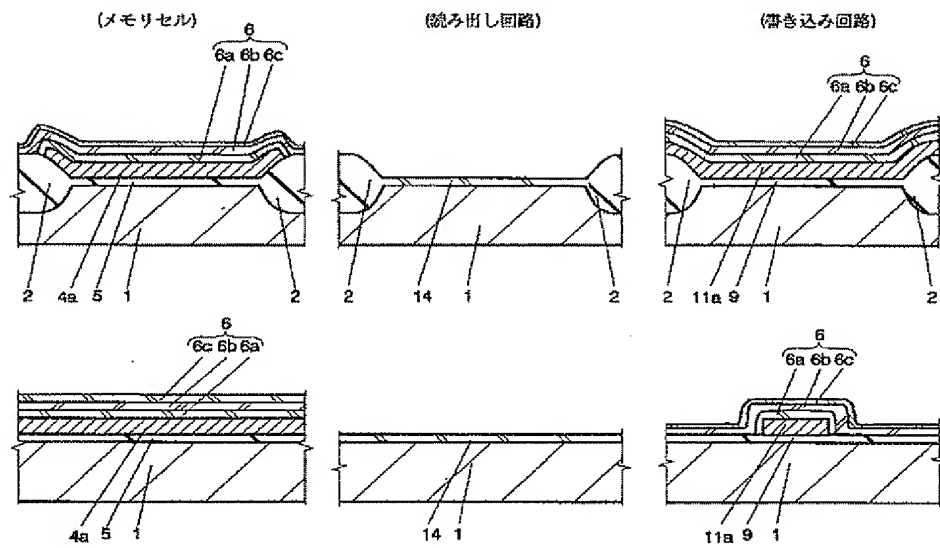
図 10

(読み出し回路)



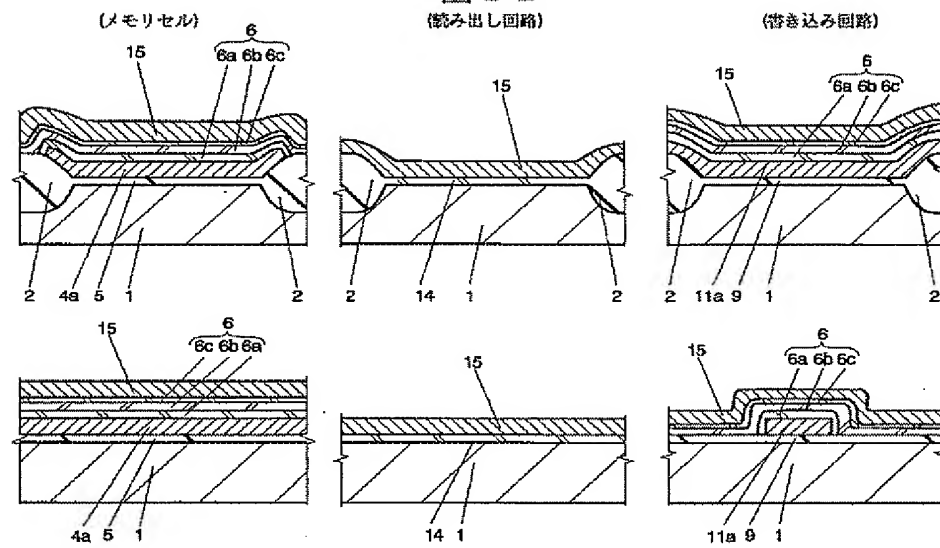
【図 1 1】

図 1 1

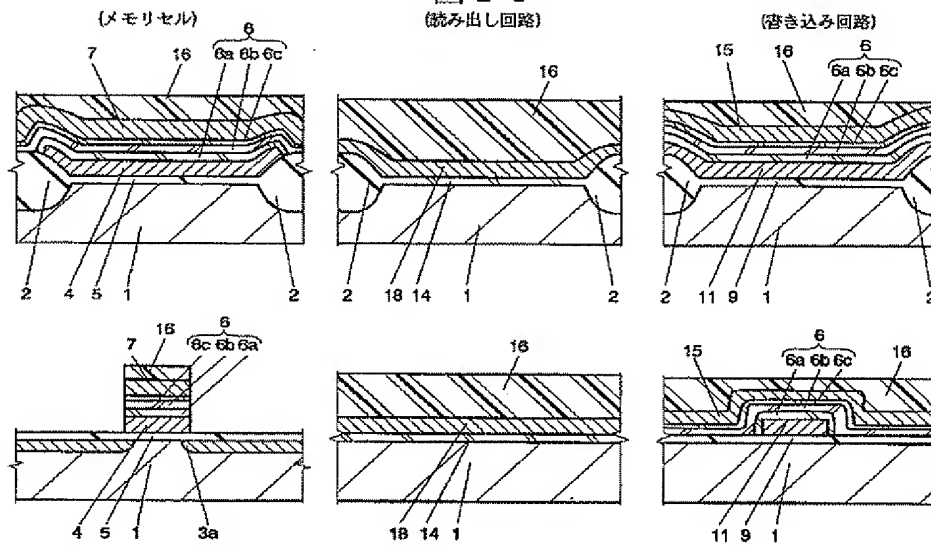


【図 1 2】

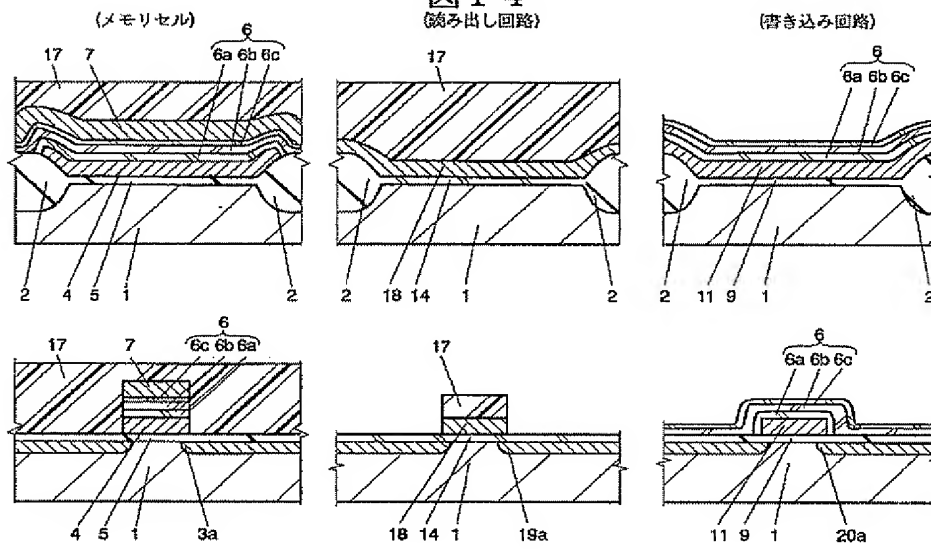
図 1 2



【図 1 3】

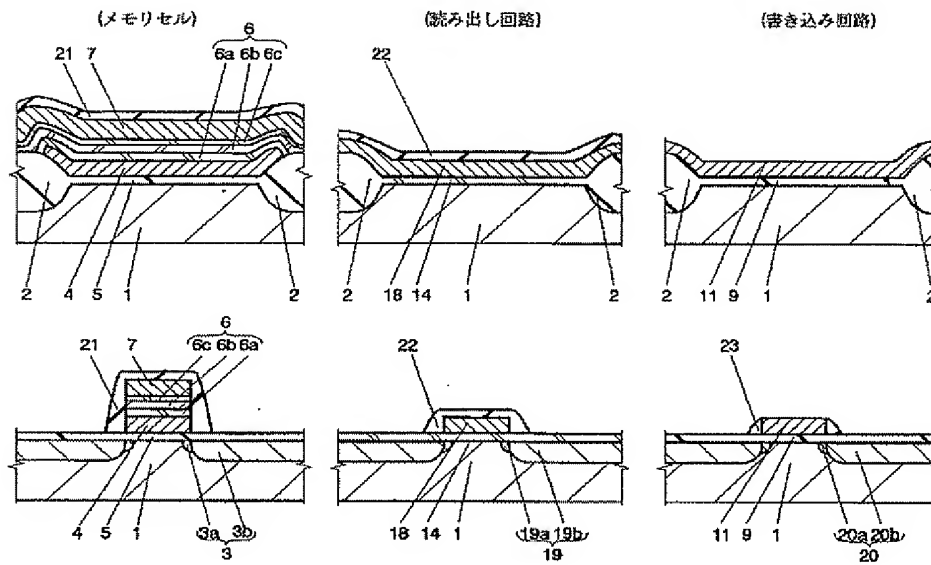
図 1 3
(読み出し回路)

【図 1 4】

図 1 4
(読み出し回路)

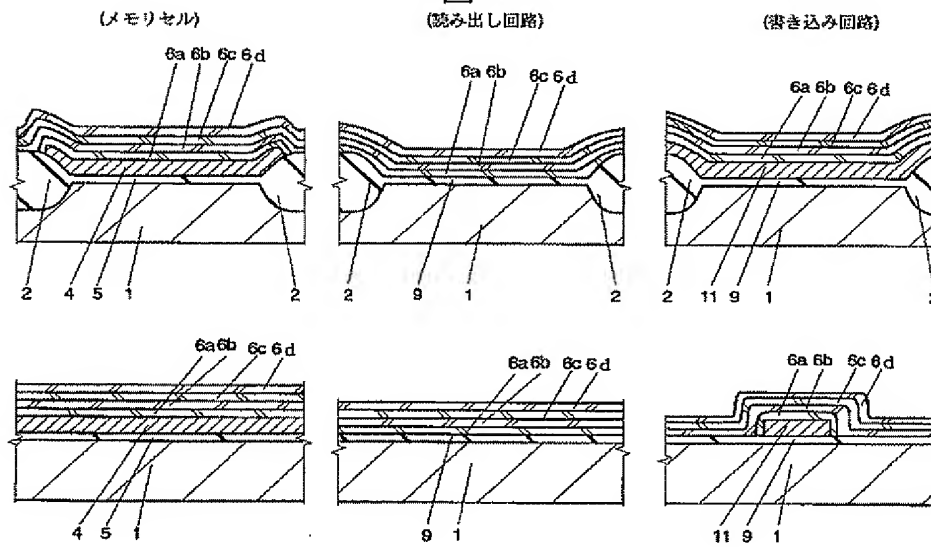
【図 1 5】

図 1 5



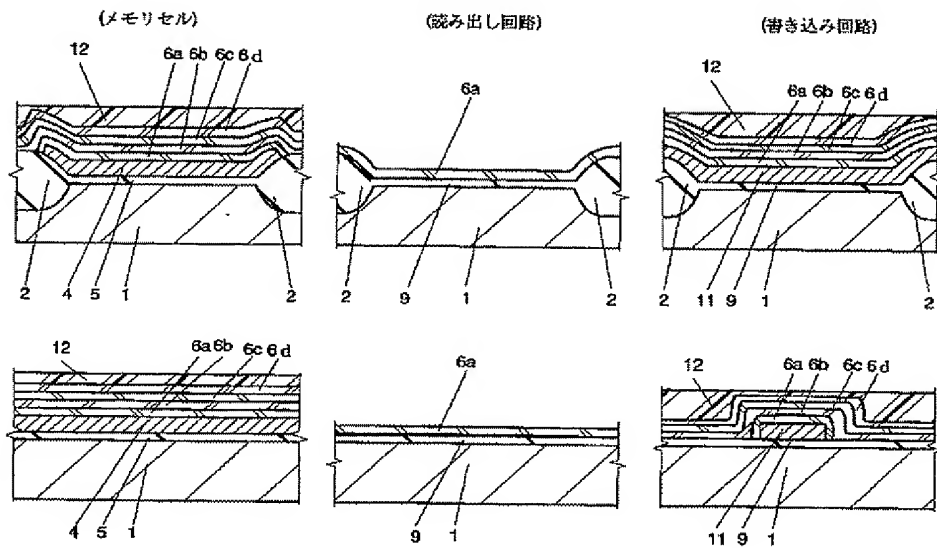
【図 1 6】

図 16



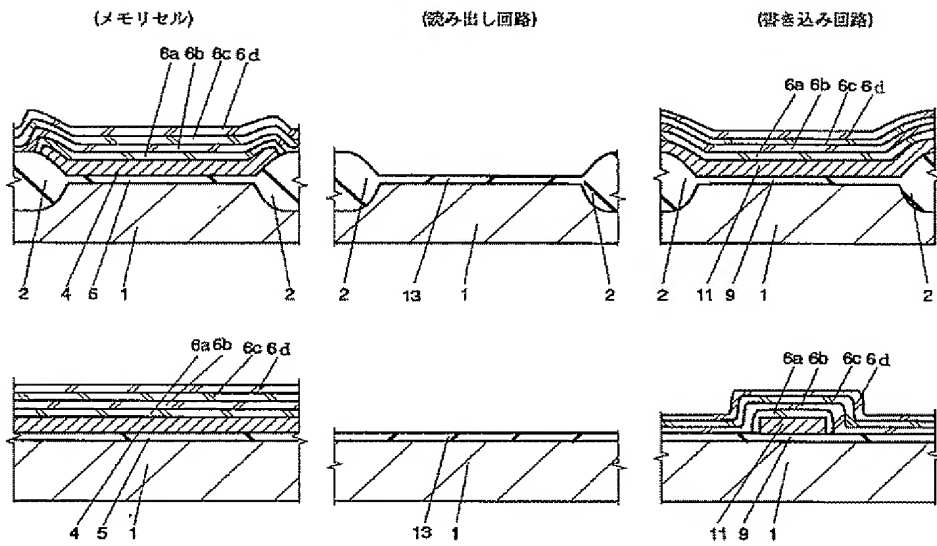
【図 1 7】

図 17



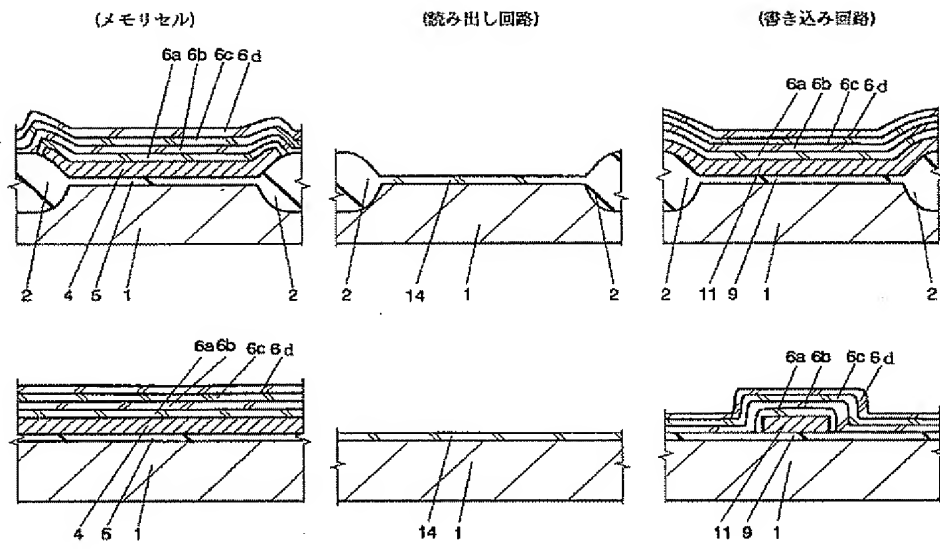
【図 1 8】

図 18



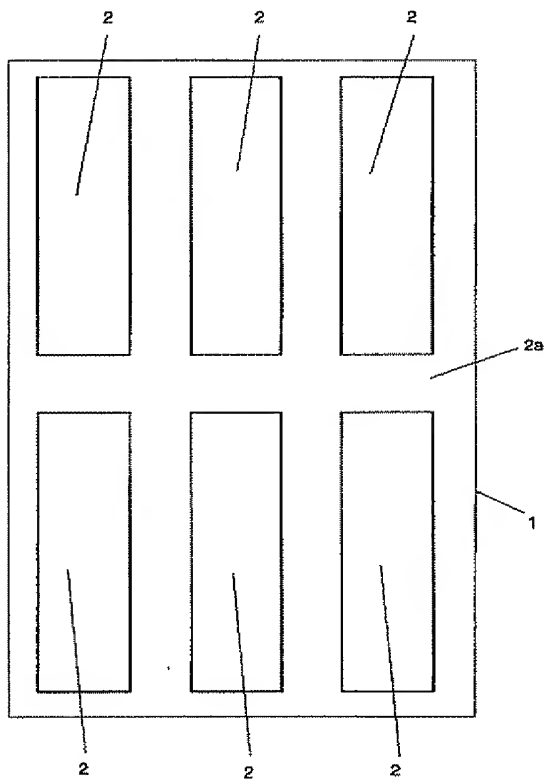
【図 1 9】

図 19



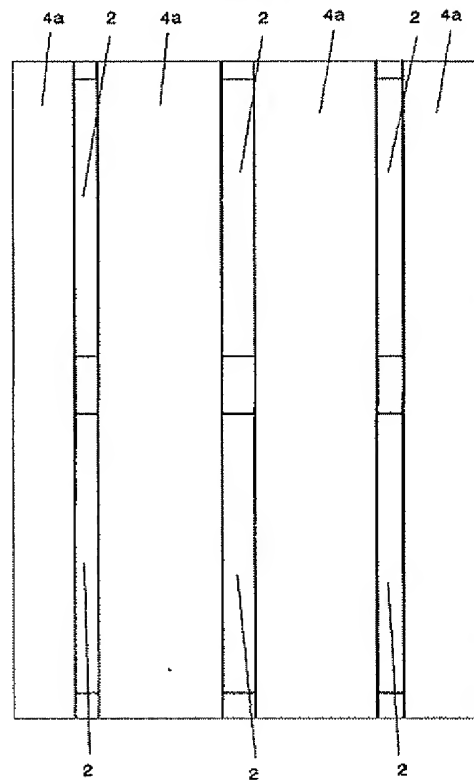
【図 2 0】

図 2 0



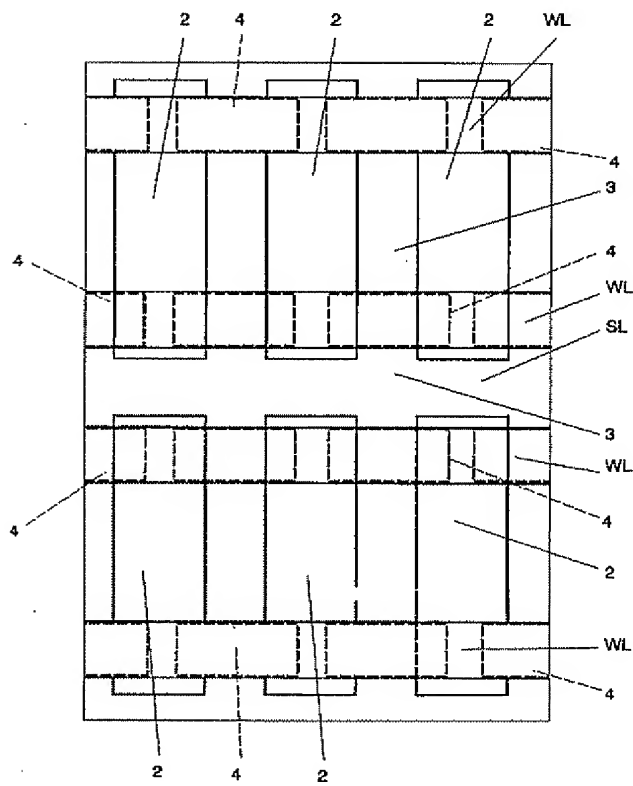
【図 2 1】

図 2 1



【図 2 2】

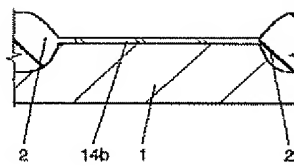
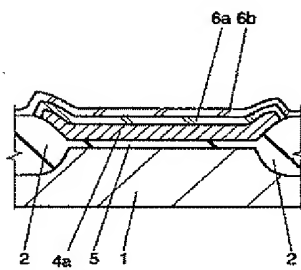
図 2 2



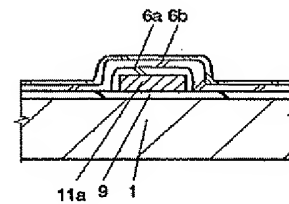
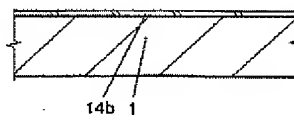
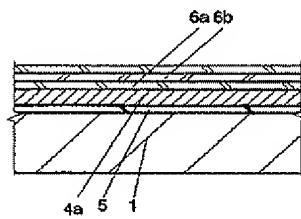
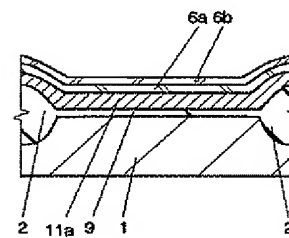
【図 2 3】

図 2 3
(読み出し回路)

(メモリセル)

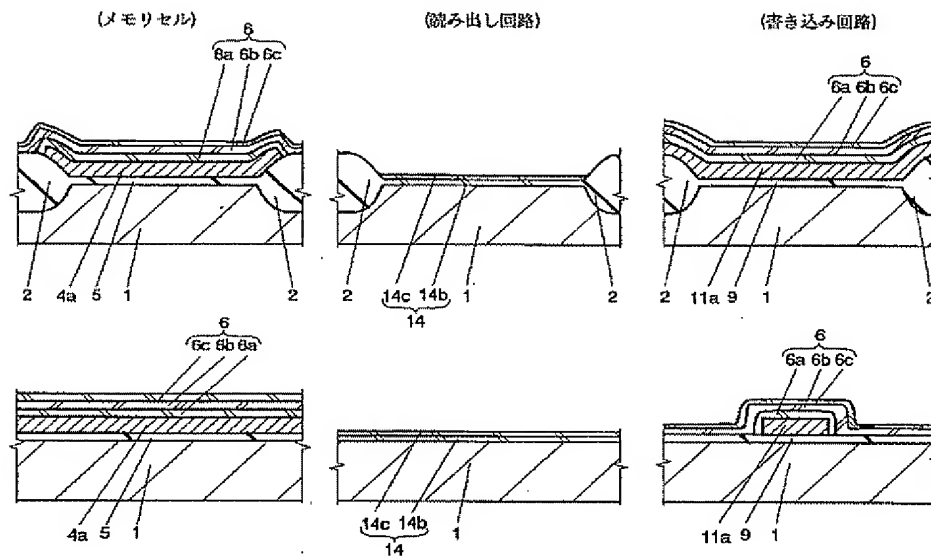


(書き込み回路)



【図 2 4】

図 2 4



フロントページの続き

(51) Int. Cl.⁶

H 0 1 L 29/792

識別記号

庁内整理番号

F I

技術表示箇所